

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭60—28271

⑮ Int. Cl.<sup>4</sup>  
H 01 L 29/78

識別記号

庁内整理番号  
7377—5F

⑯ 公開 昭和60年(1985)2月13日

発明の数 1  
審査請求 未請求

(全 5 頁)

⑭ 縦型 MOSFET

横須賀市夏島町1番地日産自動車株式会社追浜工場内

⑰ 特 願 昭58—136195  
⑱ 出 願 昭58(1983)7月26日  
⑲ 発 明 者 富永保

⑰ 出 願 人 日産自動車株式会社  
横浜市神奈川区宝町2番地  
⑲ 代 理 人 弁理士 和田成則

明 細 書

1. 発明の名称

縦型 MOSFET

2. 特許請求の範囲

(1) 主電極 (ソース電極またはドレイン電極) の一方となる第1導電型の半導体基体と;

前記半導体基体の1主面側に設けられた第2導電型のウェル領域と;

前記第2導電型のウェル領域内に設けられ、かつ主電極の他方となる第1導電型のウェル領域と;

主電極の一方となる第1導電型の半導体基体と主電極の他方となる第1導電型のウェル領域とにまたがって、基体表面に絶縁膜を介して配置されたゲート電極とを備えた縦型 MOSFET であって;

前記主電極の一方となる第1導電型の半導体基体と主電極の他方となる第1導電型のウェル領域との間に位置する第2導電型ウェル領域の表面は、基体表面に対して傾斜した斜面となっていて、かつ前記ゲート電極は前記斜面に沿って絶縁膜を介

して配置されていることを特徴とする縦型 MOSFET。

3. 発明の詳細な説明

〈発明の分野〉

この発明は、オン抵抗およびスレッショルド電圧をともに低下させた縦型 MOSFET に関する。

〈従来技術とその問題点〉

この種の縦型 MOSFET としては、例えば Adolph Blicher 著、1981 Academic Press 社 (San Francisco) 発行に係わる「Field Effect and Bipolar Power Transistor Physics」の13章 (270p ~ 305p) に開示されている。

第1図はこのような縦型 MOSFET の一例を示すもので、この縦型 MOSFET は、N<sup>+</sup>型シリコンウェファ1上にN型エピタキシャル層2を形成してなる半導体基体3を用意し、この半導体基体3の1主面4上にゲート酸化膜5を介してポリシリコンからなるゲート電極膜6を形成し、次いでゲート電極膜6に開けられたソース窓7から

P型ウェル領域8およびN<sup>+</sup>型ソース領域9を順次自己整合的に2重拡散により形成し、P型ウェル領域8とN<sup>+</sup>型ソース領域9の横方向拡散を利用して、ソース領域4の拡散後に残ったPウェル領域8の表面にチャンネル部CHが形成されるようにしたものである。

しかしながら、このような従来の縦型MOSFETにあっては、Pウェル領域8のソース接合面での不純物濃度（最も不純物濃度が高い）によってFETのスレッシュホールド電圧 $V_{TH}$ が決まる構造となっていたため、FETのオン抵抗を下げるためドレイン高抵抗層（エピタキシャル層）2の抵抗を下げるべく不純物濃度を高くしていくと、同一スレッシュホールド電圧 $V_{TH}$ のウェル領域拡散濃度では、チャンネル長がどんどん短くなり、ドレイン側から延びる空乏層（図中点線で示す）がゲート電圧0でもソース領域9に達してしまい、図中矢印に示す如く、パンチスルーによってリーク電流が流れる、いわゆる短チャンネル効果が生じるという問題点があった。

イン領域となるN型エピタキシャル層2との間に位置するPウェル領域の表面に、基体主面4に対して傾斜した斜面10が形成されていて、前記ゲート電極膜6はこの斜面10上に絶縁膜5を介して載置されているものである。なお、CHはチャンネル部である。

次に、この縦型MOSFETの製造工程を第3図を参照しながら説明する。

まず、第1の工程では第3図(a)に示す如く、N<sup>+</sup>型シリコンウェファ1上にN型エピタキシャル層2を有する半導体基体3を用意し、この半導体基体3の1主面4上を3 $\mu$ m程度エッチングして斜面10を形成する。

次いで、第2の工程では第3図(b)に示す如く、基体3の1主面側に、ゲート酸化膜5とポリシリコンからなるゲート電極膜6を順次積層形成する。

次いで、第3の工程では第3図(c)に示す如く、絶縁膜5およびゲート電極膜6を必要な部分のみを残してエッチングによって除去する。

#### 《発明の目的》

この発明の目的は、オン抵抗およびスレッシュホールド電圧 $V_{TH}$ がともに低い縦型MOSFETを提供することにある。

#### 《発明の構成》

この発明は、上記の目的を達成するために、主電極（ソース電極またはドレイン電極）の一方となる第1導電型の半導体基体と主電極の他方となる第1導電型のウェル領域との間に位置する第2導電型ウェル領域の表面を、基体表面に対して傾斜させて形成するとともに、この第2導電型ウェル領域の表面に沿って絶縁膜を介して前記ゲート電極を配置させたものである。

#### 《実施例の説明》

第2図はこの発明に係る縦型MOSFETの素子断面図である。なお、同図において前記従来例と同一構成部分については同符号を付して説明は省略する。

同図に示す如く、この縦型MOSFETにあっては、ソース領域となるN<sup>+</sup>ウェル領域9とドレ

次いで、第4の工程では第3図(d)に示す如く、ポリシリコンよりなるゲート電極膜6をマスクとして、Pウェル領域8を約4 $\mu$ mの深さに拡散形成する。

次いで、第5の工程では第3図(e)に示す如く、所定のレジストをマスクとして、前記Pウェル領域8の中央部に電極取出用のP<sup>+</sup>ウェル領域11を約0.5~1 $\mu$ m程度の深さに拡散形成する。

次いで、第6の工程では第3図(f)に示す如く、前記ゲート電極膜6をマスクとして2重拡散によりソース領域となるN<sup>+</sup>ウェル領域9を拡散によって形成する。

次いで、第7の工程では第3図(g)に示す如く、基体3の表面にCVD等によって、リンガラスからなる層間絶縁膜12を形成し、その後コンタクト穴13を開口形成する。

次いで、第8の工程では第3図(h)に示す如く、以上で形成された基体3の表面にAl電極層14を蒸着形成する。

以上の工程で製作された縦型MOSFETにおいては、不純物の横方向の拡散は同じ表面濃度でも水平に広がる場合と斜め下に広がる場合とでは異なり、斜めの場合の方が広く広がるため、同じ $V_{TH}$ を与えるウェル濃度においては水平に横方向拡散させる場合より横方向のウェル領域が広くなる。従って、水平方向に2重拡散した場合にドレイン空乏層が、ゲート電圧0でもソース領域に達してしまう程度にしか実効チャンネルができない不純物濃度の高いドレイン層に対しても、 $V_{TH}$ を大きくすることなく実効チャンネル長を長くでき、いわゆる短チャンネル効果を生ずることがない。

次に、第4図はこの発明に係わる縦型MOSFETの製造工程の他の例を示す図である。この実施例方法にあっては、シリコンの部分酸化(LOCOS)技術で厚い酸化膜を作り、その際に形成されるバースピークと呼ばれる部分を前記斜面として利用するとともに、該厚い酸化膜をマスクにウェル領域とソース領域の2重拡散を自己整合

如く、Pウェル領域22のコンタクトを取るため、高濃度のP<sup>+</sup>型不純物拡散領域23を形成する。

次いで、第5の工程では、第4図(e)に示す如く、 $SiO_2$ 21をマスクとしてN型不純物を $0.5\mu m$ 程度の深さに拡散して、ソース領域となるN<sup>+</sup>ウェル22を形成する。

次いで、第6の工程では、第4図(f)に示す如く、 $SiO_2$ 21をエッチングで完全に除去し、ゲート酸化膜となる $SiO_2$ 膜24、ゲート電極となるポリシリコン膜25を熱酸化、CVD等で順次形成する。

次いで、第7の工程では、第4図(g)に示す如く、前記 $SiO_2$ 膜24およびポリシリコン膜25を必要な部分についてエッチングで除去した後、更に層間絶縁膜となるPSG膜26をCVDでその全面に形成した後、コンタクト穴27を開く。

次いで、第8の工程では、第4図(h)に示す如く、基体3の全面にソース電極となるAl膜28を蒸着形成する。

的に行なおうとするもので、斜面に対して位置ずれすることなくチャンネルを形成できる。

まず、第1の工程では第4図(a)に示す如く、N<sup>+</sup>シリコンウェファ1上にN型エピタキシャル層2を備えた半導体基体3を用意し、その上面にウェル、ソース領域の拡散部分に対応して図示しない薄い $SiO_2$ 膜を形成し、更にその上にCVD等によって $Si_3N_4$ 膜20を形成する。

次いで、第2の工程では、第4図(b)に示す如く、半導体基体3の表面を $2\mu m$ 程度の厚さに酸化し、これにより $Si_3N_4$ 膜20に覆われていない部分に厚い $SiO_2$ 21を成長させる。この厚い $SiO_2$ 21の周辺部にはバースピークと呼ばれる斜面29が形成される。

次に、第3の工程では、第4図(c)に示す如く、 $Si_3N_4$ 膜20を除去し、前記厚い $SiO_2$ 21をマスクとしてイオン注入等によりP型不純物を $4\mu m$ 程度の厚さに拡散して、Pウェル領域22を形成する。

次いで、第4の工程では、第4図(d)に示す

以上の工程で得られる縦型MOSFETにおいては、LOCOS技術を用いて斜面を形成した後、厚い酸化膜をマスクにして、ウェル領域とソース領域を拡散するようにしたため、斜面とチャンネルが自己整合的に形成でき、これによりチップサイズを小さくできるという効果が得られる。

#### 《発明の効果》

以上の各実施例の説明でも明らかなように、この発明に係わる縦型MOSFETによれば、ウェル領域のソース領域との接合面の不純物濃度で決まる縦型MOSFETのスレッシュホールド電圧を変えることなく、短チャンネル効果を抑止でき、低オン抵抗でしかも低スレッシュホールド電圧の縦型MOSFETを得ることができる。

#### 4. 図面の簡単な説明

第1図は従来の縦型MOSFETのチャンネル部を示す素子断面図、第2図は本発明に係わる縦型MOSFETのチャンネル部を示す素子断面図、第3図は斜面をエッチングによって形成する場合の製造工程の一例を示す工程図、第4図は斜面を

LOCOS技術を用いて形成し、斜面に対しチャンネルを自己整合的に形成する場合の製造工程の一例を示す工程図である。

- 1…シリコンウェファ
- 2…エピタキシャル層
- 3…半導体基体
- 4…基体の1主面
- 5…ゲート酸化膜
- 6…ゲート電極膜
- 8…Pウェル領域
- 9…ソースとなる $N^+$ 領域

10, 29…斜面

CH…チャンネル部

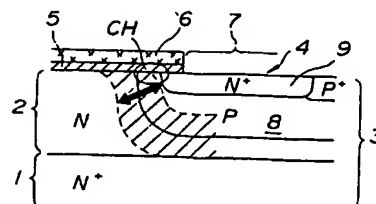
特許出願人

日産自動車株式会社

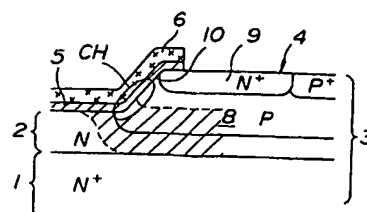
代理人 弁理士 和田 成 剛



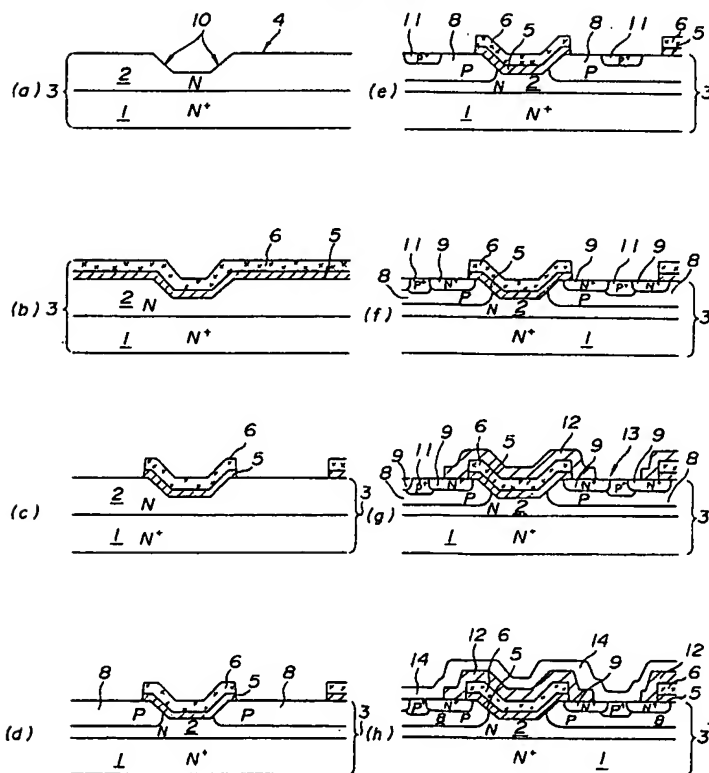
第1図



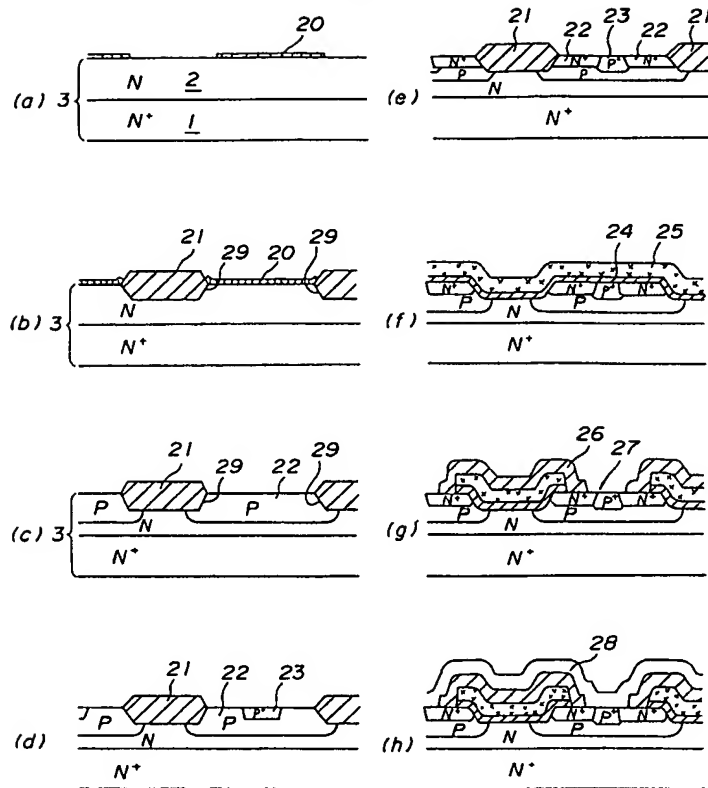
第2図



第3図



第 4 図





1 / 1

---

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : **60-028271**  
(43)Date of publication of  
application : **13.02.1985**

---

(51)Int.Cl. **H01L 29/78**

---

(21)Application number :	<b>58-136195</b>	(71) Applicant :	<b>NISSAN MOTOR CO LTD</b>
(22)Date of filing :	<b>26.07.1983</b>	(72)Inventor :	<b>TOMINAGA TAMOTSU</b>

---

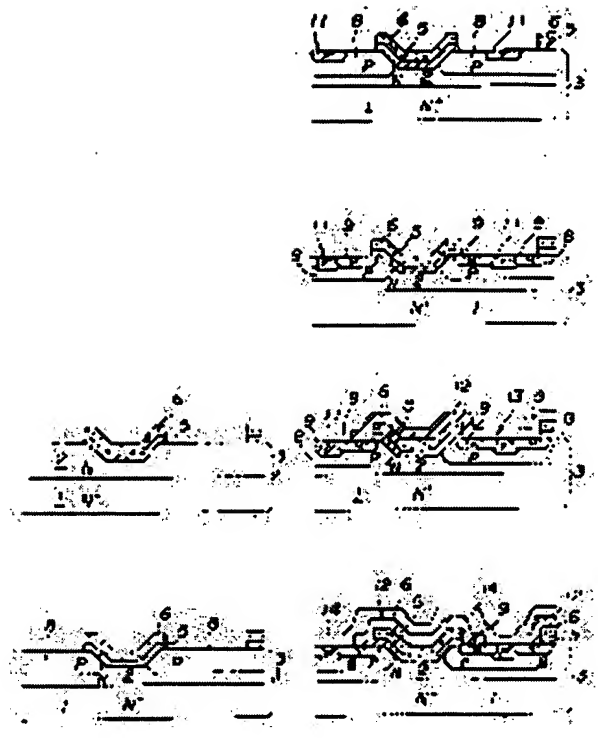
**(54) VERTICAL TYPE MOSFET**

(57)Abstract:

**PURPOSE:** To reduce both ON-resistance and threshold voltage of the titled MOSFET by a method wherein the surface of a P-well, to be positioned between the N type Si substrate to be turned to the main electrode of one side and the N-well to be turned to the main electrode on the other side, is inclined against the surface of a substrate and a gate electrode is arranged through the intermediary of an insulating film.

**CONSTITUTION:** An etching is performed on the main surface of a substrate 3 having an N-epitaxial layer 2 and a slanting face is formed on an N+ type Si substrate, a gate oxide film 5 and a poly Si electrode 6 are selectively arranged, and a P-well 8 is formed. Then, a P-well 11 to be used to lead-out electrode is formed in the center of the well 8, and an N+ source 9 is formed by performing a double diffusion using an electrode 6 as a mask. The above is covered by a PSG12, an aperture 13 is provided, and an Al electrode 14 is attached.

According to this constitution, a channel part CH is formed on the slanting face 10, channel effect can be blocked without changing the threshold voltage of the vertical type FET, which will be determined by the impurity density on the junction face of the well 8 and the N-source 9, for the N type drain layer of high impurity density due to the lowering of ON-resistance, thereby enabling to obtain the device having low ON-resistance and threshold voltage.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office